

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-202793

(43)Date of publication of application : 15.08.1989

(51)Int.Cl.

G09G 3/20

G09G 3/36

(21)Application number : 63-326379

(71)Applicant : PHILIPS GLOEILAMPENFAB:NV

(22)Date of filing : 26.12.1988

(72)Inventor : DUWAER ARNE LEX

(30)Priority

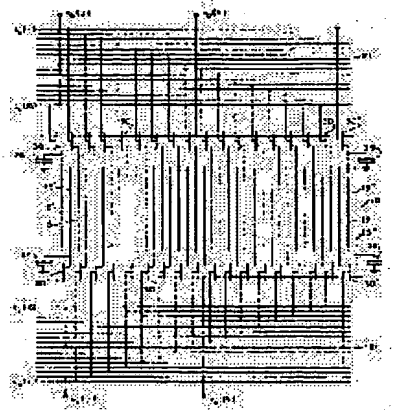
Priority number : 87 139872 Priority date : 29.12.1987 Priority country : US

(54) MATRIX DISPLAY DEVICE

(57)Abstract:

PURPOSE: To reduce the total number of connection points by providing main transistors and a means connected to the respective main transistors for simultaneously supplying the same signals to the adjacent next conductors.

CONSTITUTION: Respective column selection lines are connected to the gates of corresponding column driver transistors 30 and the drains are connected to respective column lines 15. The sources of all the transistors 30 of respective sections are mutually connected and connected to a common terminal Vo (k) for the section of an upper side and to the common terminal Ve (k) for the section of a lower side. Also, for the adjacent sections, the column selection lines are connected to the gates of the corresponding column driver transistors 30' and 30''. In order to appropriately operate the system and redundant circuit, the signals supplied to the column selection lines of the upper side and the lower side are turned to sequential control pulses for successively turning on one transistor 30, 30' or 30'' of the respective sections. Thus, the number of required connection is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平1-202793

⑤ Int. Cl.⁴G 09 G 3/20
3/36

識別記号

庁内整理番号

7335-5C
8621-5C

⑬ 公開 平成1年(1989)8月15日

審査請求 未請求 請求項の数 23 (全20頁)

⑭ 発明の名称 マトリクス表示装置

⑮ 特 願 昭63-326379

⑯ 出 願 昭63(1988)12月26日

優先権主張 ⑰ 1987年12月29日 ⑱ 米国(US) ⑲ 139872

⑳ 発 明 者 アルネ・レックス・デ アメリカ合衆国ニューヨーク州10562 オツシニング サ
ユワエル スクエハナ ロード13

㉑ 出 願 人 エヌ・ペー・フィリッ オランダ国5621 ペーアー アインドーフエン フルーネ
ブス・フルーイランベ パウツウエツハ1
ンフアブリケン

㉒ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 マトリクス表示装置

2. 特許請求の範囲

1. 行および列導体のアレー内に配置された複数の表示素子を含み、各表示素子は間に電気光学材料を介挿した対向電極と、行導体を経て供給されるスイッチング信号にตอบสนองして、列導体を経て供給されるデータ信号の表示素子への供給を制御するスイッチング手段とを含み、更にデータ信号およびスイッチング信号をそれぞれの列および行導体に供給するアドレス回路を含んだマトリクス表示装置において、行および列導体の少なくとも一方の導体に対するアドレス回路は偶数番導体の一端に接続された主トランジスタと奇数番導体の他端に接続された主トランジスタと、主トランジスタの各々に接続され、隣接する次の導体に同一の信号を同時に供給する手段とを含んでいることを特徴とするマトリクス表示装置。

2. 前記同時供給手段は各主トランジスタと関連する補助トランジスタを含んでいることを特徴とする請求項1記載のマトリクス表示装置。

3. 前記主トランジスタおよび補助トランジスタはソース、ドレインおよびゲート電極を有し、各主トランジスタのドレインを1つの導体に接続し、各主トランジスタと関連する各補助トランジスタのドレインを隣接する次の導体に接続し、且つ主トランジスタおよび関連する補助トランジスタのソースを相互接続すると共に主トランジスタおよび関連する補助トランジスタのゲートを相互接続してあることを特徴とする請求項2記載のマトリクス表示装置。

4. 行および列導体のアレー内に配置された複数の表示素子を含み、各表示素子は間に電気光学材料を介挿した対向電極と、行導体を経て供給されるスイッチング信号にตอบสนองして、列導体を経て供給されるデータ信号の表示素

- 子への供給を制御するスイッチング手段とを
 具え、更にデータ信号およびスイッチング信
 号をそれぞれの列および行導体に供給するア
 ドレス回路を具えたマトリクス表示装置にお
 いて、行および列導体の少なくとも一方の導
 体のサブセットに対するアドレス回路は複数
 個のドライバトランジスタを有する行および
 列のマトリクス構造を有し、これらドライバ
 トランジスタのドレインは前記サブセットの
 それぞれの導体に接続し、これらドライバト
 ランジスタのゲートおよびソースはアドレス
 マトリクスの行および列に接続し、且つソー
 スは共通に接続してあることを特徴とするマ
 トリクス表示装置。
5. 前記アレーは m 個の行導体と n 個の列導体
 を具え、これらの行および列導体は各行およ
 び各列ごとに1個のドライバTFTで駆動さ
 れ、これらの行および列ドライバTFTは k
 個の行と l 個の列を有する前記マトリクス構
 造で相互接続され、 $k+l$ の値を奇数および
- 偶数行導体の片側アドレッシングに対しては
 $2\sqrt{m}$ 、奇数および行導体の両側アドレッシ
 ングに対しては $2\sqrt{m/2}$ 、および奇数および
 偶数列導体の片側アドレッシングに対しては
 $2\sqrt{n}$ 、奇数および偶数列導体の両側アドレ
 シングに対しては $2\sqrt{n/2}$ である最小値に近
 似させてあることを特徴とする請求項4記載
 の装置。
6. 前記アドレスマトリクスに $k+l$ 個の入
 力信号を供給する手段を設け、且つ前記アド
 サスマトリクスを表示アレーの周囲に均一に
 分布させて基板への1ミリメートル当りの接
 続数を最少にしてあることを特徴とする請求
 項5記載のマトリクス表示装置。
7. 特許請求の範囲1および4に記載された構
 成を組合わせたことを特徴とするマトリクス
 表示装置。
8. 前記アドレスマトリクスは表示素子と同一
 の基板上に集積してあることを特徴とする請
 求項4記載のマトリクス表示装置。
9. 前記スイッチング手段およびドライバト
 ランジスタは同一の構成のTFTであることを
 特徴とする請求項8記載のマトリクス表示装
 置。
10. 行および列導体のアレー内に配置された複
 数個の表示素子を具え、各表示素子は間に電
 気光学材料を介挿した対向電極と、行導体を
 経て供給されるスイッチング信号に反応して、
 列導体を経て供給されるデータ信号の表示素
 子への供給を制御するスイッチング手段とを
 具え、更にデータ信号およびスイッチング信
 号をそれぞれの列および行導体に供給するア
 ドレス回路を具えたマトリクス表示装置にお
 いて、前記スイッチング信号は行導体を駆動
 するオン状態と行導体を減勢するオフ状態を
 有するものとし、データ信号はアクティブラ
 イン時間に亘り延在し、次いで短い帰線消去
 時間が続くものとし、各アクティブライン時
 間中または各帰線消去時間中にオンパルスを
 順次の行導体に供給する手段を設けると共に、
- アクティブライン時間中に行駆動する場合に
 は帰線消去時間中に、または帰線消去時間中
 に行駆動する場合にはアクティブライン時間
 中に全ての行導体を強制的にオフ状態に設定
 する手段を設けたことを特徴とするマトリク
 ス表示装置。
11. アクティブライン時間中または帰線消去時
 間中に全ての行導体にオフパルスを同時に供
 給することにより全ての行導体を強制的にオ
 フ状態に設定するようにしてあることを特徴
 とする請求項10記載のマトリクス表示装置。
12. 前記オンパルス供給手段およびオフ状態設
 定手段は薄膜技術により表示素子と同一の方
 法で形成してあることを特徴とする請求項10
 記載のマトリクス表示装置。
13. 行アドレス回路は行および列マトリクスの
 形態に構成してあることを特徴とする請求項
 11記載のマトリクス表示装置。
14. 前記アレーは m 個の行導体と n 個の列導体
 を具え、これらの行および列導体は各行およ

- び各列ごとに1個のドライバTFTで駆動され、これらの行および列ドライバTFTは k 個の行と l 個の列を有する前記マトリクス構造で相互接続され、 $k+l$ の値を奇数および偶数行導体の片側アドレッシングに対しては $2\sqrt{m}$ 、奇数および行導体の両側アドレッシングに対しては $2\sqrt{m/2}$ 、および奇数および偶数列導体の片側アドレッシングに対しては $2\sqrt{n}$ 、奇数および偶数列導体の両側アドレッシングに対しては $2\sqrt{n/2}$ である最小値に近似させてあることを特徴とする請求項13記載のマトリクス表示装置。
15. 水平および垂直帰線パルスに関連するまたはこれらパルスから導出した信号を入力として用いる組合せ論理回路を具備していることを特徴とするTV画像表示用の請求項14記載のマトリクス表示装置。
16. TV信号はアクティブライン時間と、これに続く帰線消去時間とを有し、前記組合せ論理回路はアクティブライン時間中に各導体を駆動する出力を発生すると共に帰線消去時間中に全ての行導体をオフ状態に設定する出力を発生するようにしてあることを特徴とする請求項15記載のマトリクス表示装置。
17. TV信号はアクティブライン時間と、これに続く帰線消去時間を有し、前記組合せ論理回路は帰線消去時間中に各行導体を駆動する出力を発生すると共にアクティブライン時間中に全ての行導体をオフ状態に設定する出力を発生するようにしてあることを特徴とする請求項15記載のマトリクス表示装置。
18. 請求項1および10に記載された構成を組合わせたことを特徴とするマトリクス表示装置。
19. 請求項4および10に記載された構成を組合わせたことを特徴とするマトリクス表示装置。
20. 請求項1, 4および10に記載された構成を組合わせたことを特徴とするマトリクス表示装置。
21. 入力ビデオ信号をマトリクス表示パネルの列ラインを駆動するための複数個のサンプル

信号に変換する回路において、ビデオ信号を互いに異なる期間においてサンプリングする2個のサンプルホールド回路と、各サンプルホールド回路の出力端子を他方のサンプルホールド回路がサンプリング期間にある期間中列ラインに接続するスイッチング手段とを具備、各列ラインに対する信号捕捉時間は総合サンプリング時間を列ラインの数で割った時間より長くしてあることを特徴とするビデオ信号変換回路。

22. 各列ラインの信号捕捉時間は相違することを特徴とする請求項21に記載の回路。
23. 前記スイッチング手段はサイクルの一部においてどちらのサンプルホールド回路も列ラインに接続しないことを特徴とする請求項21記載の回路。

3. 発明の詳細な説明

本発明は薄膜アクティブマトリクス装置およびこの装置のアドレス回路に関するものであり、特に表示装置として使用し得るマトリクス装置に関するものである。

薄膜アクティブマトリクス装置は多くの目的に使用することができる。一般的な用途の一つは表示装置である。この用途では、この装置は電気光学材料の薄い層または膜の両側面上に配置された電極から成る行列配置の複数個の表示素子と、これら電極に供給されるスイッチング信号に応答してこれら表示素子へのデータ信号の供給を制御するスイッチング手段とを具備している。この種の表示装置は液晶や電気泳動懸濁液のような電気光学材料の層を用いて英数字およびビデオ情報を表示するのに好適であり、例えば「PIBEE」1981年11月、pp 1566-1579のレクナー等の論文を参照されたい。

この種の液晶マトリクス表示装置の既知の実施例では、表示素子を行および列のマトリクスに配

置し、これら表示素子を活性層の一方の主表面上の各別の画素電極と、活性層の反対側の主表面上の共通電極の対向部分とで構成している。トランジスタ、例えば薄膜トランジスタ(TFT)の形態のスイッチング手段を各別の表示素子の画素電極と隣接して位置させ、そのドレイン電極を画素電極に接続する。同一の列の全てのトランジスタのソース電極をデータ信号が供給される1組の列導体のうちの1つに接続し、同一の行の全てのトランジスタのゲート電極をスイッチング(ゲート)信号が供給される1組の行導体のうちの1つに接続してその行の全トランジスタがスイッチされるようにする。この装置は行導体を一時に一本ずつ順次走査して各行の全てのトランジスタをターンオンさせると共に、これに同期して列導体にデータ信号を供給することにより駆動して表示画像を発生させる。トランジスタがオンのとき、データ信号が関連する画素電極に供給されて表示素子を充電する。各表示素子(LCD)または画素は電氣的にコンデンサに等価であるものと考えられる。スイ

ッチング電圧の終了時にトランジスタがターンオフすると、電荷が関連する表示素子に、走査信号によりこれら表示素子が再び(非飛越し走査の場合には次のフィールド周期において)アドレスされるまで蓄積される。

このタイプの表示装置は公知である。斯かるアクティブマトリクスアドレス液晶表示装置は代表的には200,000以上の表示素子から成り、TV画像を表示することができる。表示画像の解像度は画像を構成する画素数により決まる。通常のTV受信機の解像度を達成するために画素数を例えば480×640マトリクス(307,200画素)に増大させる傾向にある。大面積の表示装置に対しては画素の駆動に用いるトランジスタは透明基板(ガラスまたは石英)上に堆積した薄膜トランジスタ(TFT)とするのが普通である。表示面積がだんだん大きくなるにつれて必要とされる表示素子の数および従ってスイッチング素子の数も増大してきている。

このような高解像度表示装置を製造する際の大きな問題は、アドレス回路と画素のTFTドライバ

との間に必要とされる接続の数にある。例えばアクティブマトリクスが投写形テレビジョン(PTV)用に代表的な3cm×4cmの矩形であるものとする。480行×640列を用いるマトリクスはアドレス回路への接続点を1120個必要とする。現在の技術状態ではこんなに多数の接続点を3×4cm²の矩形マトリクスの周縁に設けることは1マトリクスに必要とされる基板面積を大きくしないでは不可能であり、従ってコストが著しく増大する。

この種の大面積表示装置を製造する際の他の大きな問題は歩留りにある。例えば透明基板上に関連する行および列導体と一緒に堆積されたTFTを用いる場合、数個の欠陥TFTまたは1つの導体破断が装置を不良品にしてしまう。欠陥の性質に応じて、1個の欠陥TFTでも1つの完全な行および1つの完全な列の表示素子が使用不可能になることもある。この問題を克服する試みとして種々の冗長回路が提案されている。「Japan Displays '86」pp 204~207において竹田等は1画素ごとに1個の追加のTFTを設けて1画素につき2個の

TFTとし、これらTFTを隣接する走査ラインにより制御または駆動することを提案している。追加のゲートまたはソースラインは必要としない。その変形例として1画素につき3個のTFTとし、この場合には第3TFTにより垂直方向に隣接する画素を相互接続することが記載されている。

「SID 87 Digest」pp 79-81において高橋等はライン欠陥に注目し、1ラインごとにデータ入力ルートを増加することを提案している。換言すれば、各画素を別個のTFTを介して2個の行導体に接続し、各導体を両側から駆動することを提案している。二重ラインまたは冗長ラインは「IE EE-TCB」1985年2月、pp. 39-43に山野等も開示しているが、これは各画素ごとに追加のTFTを設けるのか否か明らかでない。

これまでに提案されているライン欠陥を補正するための冗長回路では、2重または冗長ラインを設け、場合によっては各画素ごとに冗長ラインを各画素に接続する追加のTFTを必要とする。また、導体ラインを両側から同じ信号で駆動することも

提案している。

先に述べたように、別の問題はアクティブLCD表示素子とアドレス回路との間に必要とされる接続の数にある。これは特に投写形システムに対しては満足させるのが難しい要件であり、その理由は投写形システムのアクティブLCD表示装置ではコスト上の理由から多数の所要の接続を収納するのに小さな幅の狭い領域が残されるだけであるためである。「SID 86 Digest」の第281～284頁においてマルムベルグ等がLCD素子用の画素ドライバの製造に使用されるのと同じ技術を用いて表示基板上に走査電子回路を集積することを提案しており、更に個々の画素を選択するアクティブディスプレイに使用されているのと同じマトリクス構成に基づくコミュータまたはスイッチ構成を用いて接続数を低減することを提案している。このマルムベルグの提案では、(192×128マトリクスに対して)行ラインを各8ラインの16個のセクションに分割する。しかし、TV表示装置として使用するための動作については記載がなく、また

この刊行物の第7図に示されているようにデータを提供すると共に信号を選択するために外部ICを必要とする。

この従来の提案は、全ての選択されていない行ラインに対してオフ状態をTVライン時間ごとに設定して、選択されていない行の行コンデンサがフレーム時間中に十分な電荷を徐々に形成してTV表示用の入力ビデオ情報を1ライン時間以上に亘って表示することがないようにする必要があることを認識していない。他の欠点は、コミュータに対し提案されたスイッチ構成は効率の良い冗長回路(列に対し)を組み込むのを不可能もしくは困難にする点にある。

本発明の目的はTV表示用の改善された薄膜マトリクス装置を提供することにある。

本発明の他の目的は薄膜アクティブマトリクス装置用のアドレス回路の集積化を増大することにある。

本発明の更に他の目的はライン破断に対し保護する新規な冗長回路を提供することにある。

本発明の更に他の目的はビデオ情報のスプリアス表示を避けるようにした薄膜アクティブマトリクス装置を提供することにある。

これらの目的は、後から明らかとなるように、以下に述べる特徴を有する本発明による新規な薄膜アクティブマトリクス装置により達成される。

本発明の1つの特徴はライン欠陥を補正する冗長回路にあり、この回路は追加の行または列ラインを必要とせず、各行または各列に1個の追加のTFTを必要とするだけである。これがため、必要とされるスペースおよび複雑度の著しい低減が比較的少数の追加の素子を必要とするだけで達成される。この特徴は2個のTFTの入力端子を相互接続し、それらの出力端子をマトリクスの片側から2個の隣接する行または列に接続し、マトリクスの反対側でも2個のTFTを次の2個の隣接する行または列に対し同様に接続することにある。

本発明の他の特徴はマトリクス構成を用いたアドレス回路にあり、この回路ではアドレスドライバを各セクション内の隣接する導体に接続し、

(全てのゲートの代わりに)全てのソースを相互接続する。この構成は上述した新規な冗長回路をパネルに組み込むことができる(マルムベルグの構成では不可能)。

本発明の他の特徴は選択されていない各ラインを各TVライン時間の一部分中に正確にオフ状態に設定する新規な回路を提供することにある。これは、水平および垂直帰線パルスを入力する組合せ論理回路を用いて1つの行ラインまたは2つの行ライン(新規な冗長回路を用いる場合)を選択すると共に全ての行ラインをオフ状態に設定する回路により達成される。

本発明の更に他の特徴はアドレス回路に加えて選択回路も基板上に集積することであり、これによりいくつかの外部ICの使用を除去し、基板への接続の数を更に減少させてTV用の斯かる表示装置の製造の歩留りを更に増大することができる。

本発明の更に他の特徴は前処理されたビデオ信号の捕捉時間を追加のメモリを必要とすることなく増大させた列駆動回路にある。

アクティブトランジスタ（画素トランジスタ、アドレスおよび選択ドライバトランジスタ）は、代表的にはガラスのような透明基板上に、例えばアモルファスシリコンまたはポリシリコン技術を用いてTFTとして形成する。II-VI化合物半導体を用いることもできるが、ポリシリコンTFTの方が好適であり、これは投写形TV用に要求される小さいサイズではポリシリコンTFTの方が高い移動度と低い感光性を示すためである。

図面につき本発明を説明する。

本発明の第1の特徴によればアドレス回路を行／列マトリクス回路で構成し、第1アドレスマトリクスの各行をアクティブ画素マトリクスのそれぞれの行に接続し、第2アドレスマトリクス回路の各列をアクティブ画素マトリクスのそれぞれの列に接続する。この構成によれば、TV用の480×640アドレスマトリクスに対する接続点の総数が1120から1桁小さい値に減少する。その結果得られた少数の接続点は現在の技術を用いて共通の基板上に設けることができる。更に、薄膜回路を用

いてアドレスマトリクスの制御信号を実現することにより接続点の数を更に減少させることができる。

第1図は前述したレクナー等の論文に開示されているTV画像表示用に好適なマトリクス表示装置を示し、この装置は各行にn個の表示素子12(1～n)が水平に配置されたm個の行(1～m)から成るアドレスマトリクス液晶表示パネル10を具えている。図を簡単とするために図には数個の表示素子しか示していない。実際にはこのマトリクスアレー内の表示素子の総数(m×n)は200,000以上、例えば480×640マトリクスに対しては307,200の表示素子または画素にすることができる。

各表示素子12はこの素子へのデータ信号電圧の供給を制御するスイッチング素子11と関連する。各行の全表示素子12と関連するスイッチング素子11は点22でこれらスイッチング素子が接続された共通の行導体14により制御され、この導体にはスイッチング信号が供給される。各列の全表示素子と関連するスイッチング素子11はデータ信号電圧

が供給される共通の列導体15に点23で接続される。これがため、m個の行導体14とn個の列導体15が存在し、これら2組の導体は互いに直交する。

スイッチング素子11の出力端子は装置の基板の表面上に導体14および15およびスイッチング素子11と一緒に設けられた関連する表示素子の電極16に接続される。全ての表示素子に共通の対向電極17は前記基板の反対側表面上または前記基板表面に対向して間に例えばTN液晶材料を介挿して平行に配置された別の基板上に設けられる。この1つの基板または互に対向する基板（ガラス板とし得る）には慣例の如く偏向子層と検光子層が設けられる。液晶材料が表示素子の両端間に印加される電圧に応じて表示素子を透過する光を调制する。即ち、各表示素子は一方の基板上のスイッチング素子と関連する各別の画素電極と他方の基板上の共通電極の対向部分と、その間の液晶材料とで形成され、各表示素子の電極間に印加される駆動電圧に従ってパネルの光透過を制御する。この装置は、行導体14をスイッチング信号で順次走査

して各行の全スイッチング素子をターンオンさせる共にスイッチング信号と同期してデータ信号を各行の全表示素子の列導体に供給して1行ずつ順次駆動して完全な表示画像を発生する。TV表示の場合には、これらのデータ信号はビデオ情報信号であり、各行の表示素子には1TVラインに対応するビデオ情報信号が供給される。行順次アドレスングを用いると、アドレスされた行の各スイッチング素子11が例えばアクティブライン時間(TL)に亘りスイッチオンされ、この間にビデオ情報信号が列導体15からその行の表示素子12に転送される。行アドレスングおよびスイッチング信号の終了後、その行のスイッチング素子はターンオフし、その行の表示素子が導体15から切り離され、供給された電荷がこれらの表示素子に蓄積される。これらの表示素子は、それらのスイッチング素子が再び（非飛越し走査の場合には次のフィールド周期において）アドレスされるまで、供給されたデータ信号により駆動されたままになる。このことはデータ蓄積時間がフィールド時間に等しいこ

とを意味する。

行導体は規則正しいタイミングパルスが供給される制御回路20によりスイッチング信号でアドレスされる。ビデオ情報(データ)信号は制御回路21から列導体15に供給される。回路21にはビデオ信号とタイミングパルスが行走査と同期して供給され、パネル10の行順次アドレスに対応する直列-並列変換を行う。パネル10の制御回路からの1ミリメートル当りの接続数を低減するために、奇数行と偶数行および奇数列と偶数列をパネルの両側から駆動するのが普通である。

本発明の1つの特徴は、ブロック20および21のアドレス回路をLCDマトリクスのTFT画素ドライバ11の製造に用いられるのと同じTFT技術を用いて形成することにある。本発明のこの特徴においては、TFT技術をパネルの境界部、即ちアクティブ表示区域の外側部分にまで適用してブロック20、21のアドレス回路を同時に形成する。更に、行/列マトリクス構成をアドレス回路に用いてこれをパネルの行/列マトリクス構成に類似させ、

必要とされる接続数を小面積のアドレスマトリクスアレー上に追加の製造工程を必要とすることなく好都合に製造し得るレベルまで減少させる。これを第2図に示す。第2図には、アドレスマトリクス20、21を表示パネル10の周縁に沿って基板上に均一に分布させて過大な基板面積を必要としないようにし得ると共に必要とされる接続数を最少にする目的を達成し得ることも線図的に示している。

第2図はダブルマトリクスアドレッシングを用いるアクティブ(LCD)マトリクス10を示す。奇数列と偶数列および奇数行と偶数行をアクティブマトリクスの両側から駆動するアドレス方法が好適である。ここで説明する実施例では、480×640アクティブマトリクスを用いるが、本発明はこれに限定されないこと勿論である。第2図において320の奇数列は上からアドレスされ、320の偶数列は下からアドレスされる。同様に、240の奇数行は左からアドレスされ、240の偶数行は右からアドレスされる。奇数列および偶数列は各々20列

を制御する16個のセクションを有する(16×20)アドレスマトリクスで駆動される。これがため、このマトリクスは20個の共通の列入力信号ライン $V_0(1) \cdots V_0(20)$ および $V_1(1) \cdots V_1(20)$ を必要とし、ここでVはビデオ信号入力を意味し、脚符"o"は奇数を、"e"は偶数を意味する。各列入力信号ラインは各セクションの対応する列に接続する。動作状態において、原入力ビデオ信号は液晶パネルを駆動するのに好適な信号 $v(LC)$ に変換する必要がある。変換されたビデオ信号を、列入力信号ライン $V_0(1) \cdots V_0(20)$ および $V_1(1) \cdots V_1(20)$ に供給されたとき列導体15に正しいビデオ信号が与えられるように40個づつのサンプル信号に分割する。これは既知のブリプロセッサ40、例えば2個の1×20ビデオマルチプレクサ(基板外IC)により達成される。このブリプロセッサは第3a図に示すような読取/書込機能をもった既知のサンプルホールド回路のような2個の40-セルアナログメモリ(基板外IC)とすることができる。TVライン信号 $v(LC)$ を40の順次の時間間隔で捕捉および

びサンプリングし、そのサンプルを40-セルメモリSH1_aに蓄積する。本例ではこの処理は40×40ns=1.6μsを要する。次いでこのTVライン信号が次の40の時間間隔で捕捉およびサンプリングされ他方の40-セルメモリSH1_bに蓄積される間にメモリSH1_aの内容がスイッチ95によりライン $V_0(1) \cdots V_0(20)$ および $V_1(1) \cdots V_1(20)$ に接続される。第3(a)、3(b)および3(c)図において、記号"ビデオ→A"は既知のサンプルホールド回路の信号捕捉時間を表わし、記号"A→パネル"はサンプルされた信号がLCDパネルに転送される時間を表わし、AおよびBはサンプルホールド回路を表わす。2個の40-セルメモリを具えたブリプロセッサは第3(a)図に示すように小さな信号捕捉時間(40ns)を必要とする。これは、第3(b)図に示すように3個の40-セルメモリを用い、各40-セルメモリを順に捕捉モード、捕捉/サンプルホールドモードおよびホールドモードにすると共にこれら3個のメモリのモードを常に相違させることにより避けることができる。もっと有効な回路を第3

(c)図に示してあり、この場合には追加のメモリを必要としない。第3(c)図の例の論理的タイミング図から明らかなように、サンプルホールドのための信号捕捉時間をサンプルホールド回路をパネルに接続する時間を減少させて増大させてある。この新規な手段により十分に高速で安価な基板外ICを用いて所要のビデオ多重処理を達成することができる。各サンプルホールドのための信号捕捉時間はパネルへの信号供給に使用し得る時間を少し減少させることにより著しく増大される点に注意されたい。例えばパネルへの信号供給時間を $1.6 \mu s$ から $1.4 \mu s$ へと減少させると、SH1a(1)およびSH1a(1)に対する信号捕捉時間は約6倍($40 ns$ から $240 ns$)に増大する。この場合、第3(a)および第3(b)図の例と比較してスイッチ95が無接続端子に位置するときパネルに信号が転送されないデッドタイムが存在するという僅かな不利がある。この実施例を実現するのに必要な回路は安価であり、当業者に公知である。ブリプロセッサが少なくとも640セルを有する2個のデジタルラ

インストアも含み、非飛越し走査を実現するのに好適である場合、任意所望のパターンのビデオ信号をライン記憶セルの適切なアドレッシングにより2~3個の40-セルアナログまたはデジタルメモリを介して列選択ラインに同時に出力させることができる。

ブリプロセッサから列選択ライン $V_0(1) \cdots V_0$

(20) および $V_e(1) \cdots V_e(20)$ に出力されるビデオ信号はアドレス回路により選択される。第2図に示す例では、列選択ライン上の各セクションに対する各組の信号の最大時間間隔はアクティブライン時間 T_L + 列の数 \times 入来ビデオ信号サンプルの数 (順次走査TV信号に対しては $26 \mu s + 640$ 列 $\times 40 \approx 1.6 \mu s$) により決まる。図示の回路では各列選択ライン V を列ドライバ30により列ラインに接続し、各セクションの列ドライバ30のゲートを相互接続して制御入力端子 $C_0(1) \cdots C_0(16)$ および $C_e(1) \cdots C_e(16)$ に接続する。信号シーケンスは次の通りである。瞬時 T_1 において、最初の40個のビデオ信号がライン V に現れ、 $C_0(1)$ およ

び $C_e(1)$ がターンオンされ、 $C_0(2) \cdots C_0(16)$ および $C_e(2) \cdots C_e(16)$ は $1.6 \mu s$ の間オフのままになり、この組のビデオ信号がマトリクスに転送される。瞬時 T_2 において、次の40個のビデオ信号がライン V に現れ、 $C_0(2)$ および $C_e(2)$ がターンオンされ (他の制御ラインはオフのまま)、この組のビデオ信号がマトリクスへ転送される。 $26 \mu s$ の終了時にマトリクスの1ラインを駆動し終わる。この構成では列1~40がセクション1に割当てられ、列41~80がセクション2に割当てられ、以下同様である。

第3(a)および第3(b)図に示すビデオマルチプレクサを使用する場合に必要なとされる進行する "1" 信号 $C_0(1) \cdots C_0(16)$ および $C_e(1) \cdots C_e(16)$ は第10図に示してあり、後に詳述する。本例ではこれら信号のパルス持続時間は $1.6 \mu s$ であり、このパルス列はアクティブラインの開始時に開始する。これらの信号は、 \bar{h} の正方向エッジで開始され $1.6 \mu s$ の時間間隔でクロックされる16ビットシフトレジスタから成るセクションスキャナに

より発生させることができる。第3(c)図に示すビデオマルチプレクサの場合には制御信号 $C_0(1) \cdots C_0(16)$ および $C_e(1) \cdots C_e(16)$ をビデオ信号を使用し得ない時間間隔 (デッドタイム) 中ゲートする必要がある。基板への接続の数を更に低減するにはこのセクションスキャナを同一の薄膜技術を用いて基板上に集積することができる。この点については行ドライバに必要なとされる回路を説明するときに詳細に述べる。

ビデオ信号の画素への実際の供給は2つの方法、即ち最初に1ラインの信号を $26 \mu s$ のアクティブライン期間中に中間列コンデンサにロードし、次いで $6 \mu s$ の水平帰線期間 T_f 中に列コンデンサの電荷を画素コンデンサにロードする方法 (このことは行をこの $6 \mu s$ の期間中に選択することを意味する)、或いは1ラインの信号を $2 \mu s$ の T_L 期間中に画素に直接供給する方法 (このことは行をこの T_L 期間中に選択することを意味する) で行うことができる。両方法とも本発明の範囲に含まれるが、アクティブライン時間中に中間列コンデン

サをロードし、次いで帰線中に画像をロードする2ステップ方法の方が307,200 画素TFT に対する速度の要件が軽減されるために好適である。

フェーズロックループ兼タイミング回路90 (第2図) は入来ビデオ信号の水平および垂直同期パルスHおよびVにロックされた一定周期 (本例では40ns) のクロック信号を発生する。この回路はクロック信号(CLK) から H_{sync} および V_{sync} パルスも取り出す。

行に対するアドレスマトリクス回路も同様であり、 $m=480$ 行を例えば各15行の16個のセクションに分割し、各々をマトリクスの両側から駆動する。本例では、各セクション内の対応する行を個々のトランジスタ32を介して行ドライバライン $S_0(1)$ --- $S_0(16)$ および $S_e(1)$ --- $S_e(16)$ に接続し、各セクション内のトランジスタ32のゲートを制御ライン $g_0(1)$ --- $g_0(15)$ および $g_e(1)$ --- $g_e(15)$ に接続する。順次走査の場合には行1は $g_0(1)$ および $S_0(1)$ をターンオンすることにより選択され、行2は $g_e(1)$ および $S_e(1)$ をターンオンするこ

とにより選択され、行3は $g_0(2)$ および $S_0(1)$ をターンオンすることにより選択され、以下同様である。飛越走査が必要とされる場合には奇数行のフレームを最初に駆動し、次いで偶数行のフレームを駆動することができること勿論である。

アドレス回路20, 21と表示マトリクス10との間の接続の総数は134に減少することがわかる。更に、アドレス回路20, 21のマトリクス構成はアクティブマトリクス10に類似するため、これを行および列導体14, 15およびTFT スイッチ11の製造に使用されるのと同じ技術で基板上に容易に集積することができる。

この数134は $m \times n$ 表示マトリクスと $k \times l$ アドレスマトリクスとの間の接続の理論的に最少の数に等しいか近似する。 $k+l$ の最少値は奇数および偶数行導体の片側アドレッシングの場合には $2\sqrt{m}$ であり、奇数および偶数行導体の両側アドレッシングの場合には $2\sqrt{m/2}$ であり、奇数および偶数列導体の片側アドレッシングの場合には $2\sqrt{n}$ であり、奇数および偶数列導体の両側アド

レッシングの場合には $2\sqrt{n/2}$ である。図示の実施例では $m=480$, $n=640$, k (列) = 16, l (行) = 15, k (列) = 16, l (行) = 20であり、図示の両側アドレッシングの場合には行に対しては片側当り $k+l=31$ であり、列に対しては片側当り $k+l=36$ である。両側アドレッシングの場合の行および列に対するそれぞれの最少数は31および36である。これがため、この実施例に必要なとされる接続の総数は k (トータル) + l (トータル) = $2 \times 31 + 2 \times 36 = 134$ になる。

列アドレスモードおよび行アドレスモードに必要なことは電圧値 (電荷) をしばらくの間蓄積し得るようにすることである。各行および列ラインは固有のまたは寄生の容量と関連し、この目的のためにこの容量を利用することができる。これで不十分な場合には、薄膜技術により各ドライバトランジスタ30, 32およびマトリクス10と大地との間に追加のコンデンサを容易に付加することができる。

ドライバトランジスタを異なる接続配置とし、

それらのゲートの代わりにそれらのソースを各セクションの隣接するドライバトランジスタに対して共通に接続すると、歩留りを向上させるための新規な冗長方法を適用するのに好適になる。

この構成 (冗長回路部は除く) を第4図に示す。この図には行ラインは示していない。この図には上および下側に16本の列選択ライン $C(1)$ --- $C(16)$ を示し、中央に2個の対応するセクションの交互配置の列ライン15を示し、左側にその前の2個の対応するセクションの2本の列ライン15'を示し、右側に次の2個の対応するセクションの2本の列ライン15''を示してある。本例では列選択ラインの各々を対応する列ドライバトランジスタ30のゲートに接続し、それらのドレインをそれぞれの列ライン15に接続する。各セクションの全トランジスタ30のソースを相互接続して上側のセクションに対しては共通端子 $V_0(k)$ に、下側のセクションに対しては共通端子 $V_e(k)$ に接続する (ここで k は1から20まで変化する)。隣接するセクションにおいては列選択ラインを対応する列ドライバ

トランジスタ30'および30"のゲートに接続する。このシステムおよび後述する冗長回路を適正に動作させるためには上側および下側の列選択ラインに供給する信号を各セクションの1つのトランジスタ30, 30', 30"を順次ターンオンさせる0.8 μ sの順次の制御パルスとする。完全に図示してある2つのセクションが列ライン33---64を含む第3および第4セクションであるものとする、左側の2つのセクションは列ライン1--32を含む、右側の2つのセクションは列ライン65--96を含む。この場合、C₀(1)がオンのとき(他の全てのC₀(2)---C₀(16)およびCe(1)---Ce(16)はオフ)、ライン1, 33, 65, ---に対する列導体が駆動される。このとき第3セクションのビデオラインV₀(k)に供給されるビデオ信号は33番目のサンプルにする必要があり、右側の次のセクションのビデオラインV₀(k)のビデオ信号は65番目のサンプルにする必要があり、以下同様である。これはプリプロセッサを適当にプログラムすることにより容易に得られる。次の0.8 μ sの間、C₀(1)がオン

し(他の全てのC₀(1)---C₀(16)およびCe(2)---Ce(16)はオフ)、このとき全セクションのビデオラインV₀(k)に同時に供給されるビデオ信号は2番目、34番目および66番目等のサンプルにする必要がある。その他の動作は第2図のものと同一である。第4図には各列ラインと関連する追加のおよび/または規制のコンデンサ35も数個だけ示してある。

本発明の他の特徴はアクティブマトリクス行および列電極の破断等を生じ得る装置の製造の歩留りを増大させるための冗長方法にある。これは各行または列のデータ信号を隣の行または列にも供給する回路により各アクティブ行または列を両側からアドレスすることにより達成される。このようにすると、行または列導体が製造上の欠陥のために切断されている場合、切断された行または列導体の残りの部分はその行または列の正しいデータを受信しないがその前の行または列のデータを受信し、このデータは正しいデータから僅かに相違するだけであるため、発生するアーチファク

トは観測者に殆ど知覚されない。

本発明の冗長方法を第5図を用いて数本の列ラインについて説明する。第5図において第4図と対応する素子は第4図と同一の符号で示してある。第4図と第5図を比較すれば、1列ラインにつき1個の追加のトランジスタ37が付加されていることがわかる。今、ライン l_0 --- l_1 について考察するものとする。列ライン l_0 を主ドライバトランジスタ30、のドレインに接続し、そのゲートを補助トランジスタ37、のゲートと共通に接続し、この補助トランジスタのドレインを列ライン l_1 、即ち隣の次の列ラインに接続する。同様に、列ライン l_1 を下側から主トランジスタ30、で駆動し、その補助トランジスタ37、のドレインを列ライン l_2 に接続する。選択制御ラインCがターンオンされると、関連する列ラインに接続された主ドライバのみならず、次の列ラインに接続された補助ドライバもターンオンする。これがため、ビデオ信号がV(k)に供給されると、2本の隣接列ラインが同一の信号を受信する。更に、各列ライ

ン(各セクションの第1列ラインは除く)が両側から駆動されることになる。これがため、奇数番の列ラインに破断が生じた場合(各セクションの第1列ラインは除く)、このラインの破断点より上のライン部分が正しいビデオ信号を表示し、破断点より下のライン部分がその前の列のビデオ信号を表示することになる。偶数番の列ラインに破断が生じた場合、このラインの破断点より下のライン部分が正しいビデオ信号を表示し、破断点より上のライン部分がその前の列のビデオ信号を表示することになる。この現在の列と隣の列のビデオ情報の僅かな相違はユーザに殆ど知覚し得ない。第5図の冗長回路がない場合、奇数番列の破断点より下の部分および偶数番列の破断点より上の部分の画素は駆動されない。画素ラインの消失は僅かに相違して表示される画素ラインよりも著しく目立つ欠陥になる。破断がない場合、各列(列1, 33, 65等は除く)は最初に前の列のビデオ信号を受信し、次いでライン走査の次の部分中、この僅かに相違するビデオ信号が正しいビデオ信号によ

りオーバーライトされ、この正しいビデオ信号がフレーム期間に亘り蓄積される。これがため図示の冗長回路は640の列のうち620の列をライン欠陥およびドライバトランジスタの開路故障から保護する。ドライバトランジスタの短絡故障に対しては、短絡トランジスタをレーザ照射で開路し、このトランジスタの開路が上述の冗長回路で保護されるようにする必要がある。これを行わないとライン欠陥が目に見えることになる。この冗長回路は画素トランジスタ11の欠陥を保護することはできない。

行アドレス回路は列アドレス回路と同様であり、第6図にその2つの例を示す。行は各15行の16個のセクションに分割し、行ドライバトランジスタ32への接続のために同一のマトリクス技術を用いる。各行に対し必要とされる蓄積コンデンサを最下位の行に対してのみ示してあるが、全ての行に存在し、各行は自分自身の容量を有している。1つのセクションの行のみを示してあるが、他のセクションも同様である。各セクションの対応する

ドライバ32を全てのセクションに共通の垂直方向に延在する行選択ラインに接続する。第6(b)図に示す例では、各行選択ライン $S(j)$ をトランジスタ32のソースにそれぞれ接続し、それらのドレインをこのセクションの15個の行ラインにそれぞれ接続する。同一セクションの全てのトランジスタのゲートを相互接続して端子 $g(k)$ に接続する。各セクションに1個ずつ、16個の端子 $g(k)$ がある。行は各セクションにおいて連続し、セクション1は行1---15を処理し、セクション2は行16---30を処理し、以下同様である。

第6(a)図に示す変形例では、基本的に同一の構成を有し、行選択ライン $g(1)$ --- $g(15)$ をそれぞれのドライバ32のゲートに接続し、各セクションの全てのドライバ32のソースを相互接続して端子 $S(k)$ に接続する(ここで k は1から16まで変化する)。

両例とも列に対し用いたのと同じの冗長回路を組み込むことができ、これを第7図に4行について示してある。唯一の要件は、全てのドライバTFT

に対する制御信号 s および g を同一の行に接続された2個のドライバTFTが同時に駆動されないように実現することにある。第1行は $m_{2,1-1}$ 、第2行は $m_{2,1}$ 、以下同様であるものとする。正規のまたは主行ドライバトランジスタを32で、補助トランジスタを40で示す。主ドライバ32および補助ドライバ40のソースを相互接続する。行の各対に対する主ドライバ32および補助ドライバ40のゲートも相互接続するが、それらのドレインは隣接する行に接続し、従って各行は両側から駆動されるようにする。素子11および12から成るアクティブ画素は各行に接続された方形41として示してある。列ラインは図示していない。

動作は次の通りである。各行は端子 $S'(2l-1)$ および $g'(2l-1)$ 、 $S'(l)$ および $g'(2l)$

等にオンパルスを例えばアクティブライン時間 T_l に亘り順次に供給することにより選択される。あるいは、画素のローディングを水平帰線時間 T_f 中に生じさせることもできる。いずれの場合にも、主トランジスタ32がターンオンすると共に並列

接続のために補助トランジスタ40もターンオンする。このことは入来ビデオラインが2つのライン $m_{2,1-1}$ および $m_{2,1}$ の画素41₁、41₂にロードされることを意味する。第2ライン時間中、トランジスタ32₂および40₂がターンオンする。これにより次の入来ビデオラインが行 $m_{2,1}$ および $m_{2,1-1}$ の画素41₂、41₁にロードされる。ライン破断がない場合、行 $m_{2,1}$ へのこの第2ラインのローディングがその前の(僅かに正しくない)第1ラインの情報をオーバーライトするため、ライン $m_{2,1}$ はこのとき正しいビデオ情報を表示する。ライン $m_{2,1-1}$ はこのラインが第3サイクルでオーバーライトされるまでライン $m_{2,1}$ のビデオ情報を表示し、以下同様である。従って視聴者は本質的に正しい表示を見ることになる。

ライン破断またはドライバトランジスタの開路故障に対する冗長性は、次の行に対し補助トランジスタを設け、そのソースおよびゲートに前の行の制御信号を受信させて2つの隣接ラインを同時にアドレスすることにより達成される。ライン $m_{2,1}$

の位置42に示すようなライン破断またはドライバトランジスタの開路故障が生じた場合、破断点より左側の画素41はラインmのビデオ情報を保持する。これは破断のためにこれら画素は第2サイクルでオーバーライトされないためである。破断点の右側の画素41は正しいビデオ情報を保持する。このような破断点の左側の画素が情報を全く保持しない代わりに高度に関連する前の行の情報を保持するので、アーチファクトは視聴者に殆ど知覚されない。

画素に正しい電圧または電荷を保持させることは満足な表示のために重要である。これは駆動されていない行に適切な“オフ状態”電圧を存在させることに依存する。従って、これは駆動されていない行のコンデンサ39に適切な“オフ状態”電圧を実現し維持させることに依存する。

本発明の更に他の特徴は各TVライン時間の中ですべての行が駆動されない時間中に全ての行をオフ状態に再設定する回路を設けることにある。従って、行が水平帰線時間中に選択的に駆動される

場合には、全ての行コンデンサをアクティブライン時間中オフ状態にリセットする。或いはまた、行がアクティブライン時間中選択的に駆動される場合には、全ての行コンデンサを帰線時間中オフ状態にリセットする。この特徴を第8図に示してある(TFTはスイッチとして示してある)。この特徴は単独で使うことができ、また第2、4および6図のドライバ回路と組合せて、および/または第5および7図の冗長回路と組合せて使用することもできる。このリセット処理は、前述したアドレスマトリクスの特徴実施例においてはセクション選択、ライン選択および水平帰線パルスに関連する信号を用いる組合せ論理回路により達成される。好適な論理回路の一例を第9図に示してある。この回路は組合せ論理によってそれぞれ水平帰線時間およびアクティブライン時間に行駆動用およびオフ状態リセット用の適正なタイミング信号を発生する。オン状態およびオフ状態の最終電圧レベルは、ドライバTFTおよび/または画素TFTがサンプリングモード(低いオン抵抗値)

またはホールドモード(高いオン抵抗値)になるように選択する。

行アドレス回路は第6(a)図に示すものであるものとする。このアドレス回路を第8図に略図示してある。行駆動が水平帰線時間に行われる場合には、選択された行に短いオンまたは“1”パルスを供給する必要がある(慣例の論理回路ではオンパルスまたはオン状態は“1”、オフパルスまたはオフ状態は“0”と表わされる)、その長さは順次走査の場合には約6 μ sの帰線時間にする。1フレームに対しては26 μ sづつ離れた斯かるパルスの列を順次の行に供給する必要がある。これらの6 μ sパルスは30ビットのラインクロックシフトレジスタの出力を水平帰線パルス(h)でゲートすることにより容易に得られる。便宜上、斯かる“1”の列を進行する“短い1”と称す。この進行する“短い1”は第10(b)図に示すa(2)信号を第10(c)図に示すフライバックパルスでゲートすることにより得ることができる。これらパルスはg(j)ラインの各々に供給される。水平帰線時間中、

S(k)端子の各々に30 \times 32 μ sのオン時間を有する進行する“長い1”が同時に供給される。この進行する“長い1”は第10(a)図にC(m)として示してある(第10(b)図の一番上にも示してある)。この結果、各行は水平帰線時間中に“長い1”と“短い1”の組合せで順次選択される。トランジスタ32のターンオンの結果として関連するコンデンサ39が“1”に充電される。このコンデンサの電荷が“1”のときに行ラインは駆動される。そのラインの走査が終了し、ビデオ情報がその行の画素に転送され終わると、その行がフレーム時間の残部中減勢されてこれらの画素がターンオフされる。これを保証するために、コンデンサ39を次の駆動サイクルまで放電させ、オフまたは“0”状態にする必要がある。オフ状態が徐々に失われないようにするために各アクティブ水平ビデオライン時間中全ての行をオフまたは“0”状態にリセットする。これは、全てのゲートラインg(1)---g(15)に26 μ sの“1”を供給すると共に全てのソースラインS(1)---S(16)に同じ26 μ sの時間に亘り“0”を供給す

ることにより達成される。この処理により各行のコンデンサ39が各アクティブ水平ビデオライン時間中（即ち1フレーム当り480回）オフ状態にクランプされ、次の帰線時間中480行のうちの1行が選択的に駆動される。上述の $g(j)$ および $S(k)$ の信号は次のブール方程式で定義することができる。

$$g(j)=g(l)=(a(l)\wedge h)\vee \bar{h}$$

$$S(k)=S(m)=C(m)\wedge h$$

これらのパルスを実現する一つの方法を第9図に示す。第9図には適切なデータ入力68およびクロック69で駆動され、16個の出力端子70からパルスを順次出力する慣例の16ビットシフトレジスタ60を示してある。第10(a)図はこの30×32μsパルスのパルス列を示す。データ入力68の“1”は垂直ブランキングパルス V_{blank} の終了後の \bar{h} の最初の正方向エッジで始まり、シフトレジスタ60の第1ビットが“1”になってORゲート56を経てフリップフロップ52をリセットすると同時に終了する。クロック入力69は16クロックの最初のクロックに対し h になる。入力73は \bar{h} で16×30回周期的にク

ロックされるシフトレジスタ54の30番目の出力72の反転出力である。クロック選択はORゲート57およびANDゲート59で実現される。シフトレジスタ60の出力70をANDゲート63を用いて入力71の h' パルスでゲートする。 h' パルスは素子の立上りおよび立下り時間が無視し得る場合には h パルスに等しくする。そうでなければ h' パルスを h パルスより幾分遅く開始させ且つ幾分早く終了させる必要がある。ANDゲート63から得られる信号74は $S(m)=C(m)\wedge h$ で与えられる。必要に応じ、これら信号はレベル変換器65を用いて適正なレベルにする。出力端子75に得られる出力信号が $S_0(1)$, $S_0(1)---S_0(16)$, $S_0(16)$ である。適切なデータ入力76およびクロック77で駆動される他の慣例の30ビットシフトレジスタ54は30個の出力端子78から32μsのパルスを順次出力する。この32μsのパルス列を第10(b)図に示してある。データ入力76の“1”は V_{blank} の終了後の h の最初の正方向エッジで始まると共にシフトレジスタ54の第30ビットの正方向エッジで始まり、シフトレジスタ54の第

1ビットが“1”になってORゲート55を経てフリップフロップ51をリセットすると同時に終了する。クロック入力77は常に \bar{h} パルスである。シフトレジスタ54の出力をANDゲート61を用いて h パルスでゲートする。得られた信号79をORゲート62に \bar{h} と一緒に入力する。これらゲートの出力80に得られる信号は $g(l)=(a(l)\wedge h)\vee \bar{h}$ で与えられる。必要に応じこれらの信号はレベル変換器64を用いて適正なレベルにする。出力端子81に得られる信号が $g_0(1)$, $g_0(1)---g_0(15)$, $g_0(15)$ である。 V_{blank} の終了後の \bar{h} の最初の正方向エッジを表わす信号82はデータ入力として V_{blank} およびクロック入力として \bar{h} を有するフリップフロップ50で実現する。フリップフロップ51, 52およびシフトレジスタ54, 60は V_{blank} を用いてフィールドごとにリセットする。この回路の入力信号は V_{blank} および \bar{h} である。インバータ66および67を用いて V_{blank} および h を実現する。

$g(l)$ および $S(m)$ を発生させるために必要な信号は第10図に示してある。第10(a)図は $C(m)$ パルス

に対応する、進行する“長い1”を示し、第10(b)図は $a_0(l)$ パルスを示す。第10(a)および(b)図の左側のパルス $C_0(m)$ および $a_0(l)$ を用いてアクティブマトリクス（第2図）の左側用の駆動信号を実現して奇数行ラインを駆動およびリセットし、第10(a)および(b)図の右側のパルス $C_0(m)$ および $a_0(l)$ を用いてアクティブマトリクスの右側用の駆動信号を実現して偶数行ラインを駆動およびリセットする。第10(c)図は帰線パルス h を示す。 \bar{h} はパルス h の反転である。前述したように、第9および10図に示すパルスを第6(a)図の回路へ供給する場合、各アクティブビデオライン時間中“0”を全ての行ライン14に供給して行コンデンサ39を適正なオフ状態にリセットする。これがため、本発明のこの特徴によれば、全ての行のオフ状態が各アクティブビデオライン時間中に設定され、行ラインコンデンサ39がオフ状態にリセットされる。

第6(b)図の回路に対しては、異なる構成のパルスが必要とされ、これらパルスはブール方程式 $S(j)=S(l)=(a(l)\wedge h)\vee h=a(l)\wedge h$ および

$g(k)=g(m)=C(m) \vee h$ で定義される。同様に、行ラインをアクティブビデオライン中に駆動し、水平帰線中行ラインをオフ状態にリセットする場合には、第6(a)図の回路に対する対応するブール方程式は $g(j)=g(l)=a(l) \wedge \bar{h} \vee h$ および $S(k)=S(m)=C(m) \wedge \bar{h}$ になる。この動作モードでは第6(b)図の回路に対してはブール方程式は $g(k)=g(m)=C(m) \vee h$ および $S(j)=S(l)=(a(l) \wedge \bar{h}) \wedge \bar{h}=a(l) \wedge \bar{h}$ になる。第6(a)図の回路に対しては上述の信号 $S(k)$ および $g(j)$ とともに新規な冗長回路を用いることができる。第6(b)図の回路に対しては、奇数行に対する $g_o(k)$ 信号を奇数行に対してのみ“1”になる $(h/2)$ 信号でゲートする必要があると共に偶数行に対する $g_e(k)$ 信号を偶数行に対してのみ“1”になる $(\bar{h}/2)$ 信号でゲートする必要がある(第10(d)図参照)。当業者であれば第9図の実施例から、ANDゲートおよびORゲートをどのように配置すれば上述のブール方程式により示される所要の信号を得ることができるか明らかである。

クティブライン時間中または帰線時間中行を駆動するのに用いることができる。これがため、本発明の種々の特徴および種々の動作モードはシステムのフレキシビリティを拡大すると共にシステムを広範囲の動作状態に適應させる。

以上、本発明を特定の実施例について説明したが、本発明はこれに限定されるものでなく、多くの変形や変更を加えることができること明らかである。

4. 図面の簡単な説明

第1図はそれぞれスイッチング素子を含んだ表示素子の列および行を用いる慣例の液晶マトリクス表示装置を示すブロック図、

第2図は行および列アドレス回路を多数のセクションに分割した、第1図に示すタイプの装置用のダブルマトリクスアドレス回路を示すブロック図、

第3(a)、3(b)および3(c)図は第2図に示すタイプの装置用のビデオプリプロセッサおよびそれらの論理的タイミングを示す図、

以上の説明から、本発明によれば列または行ドライバとして1つのFETを用いるだけでアクティブマトリクスへの接続の数を低減した特にTV用に好適なアクティブマトリクス表示装置を得ることができる。上述した本発明によるドライバマトリクスはアクティブマトリクスと同時に製造することができ、基板上に集積して外部ICの必要を低減することができる。第9図に示す論理回路も同一の薄膜TFT技術を用いて容易に集積することができる。即ち、シフトレジスタの1ビットは最低で4個のTFTと、各々4個のTFTから成るANDおよびORゲートとで形成することができ、これがため全部で $30 \times (4+4+4)+16(4+4)=488$ 個の追加のTFTを必要とするだけであり、これはアクティブマトリクスに必要とされる300,000TFTに較べて極めて少ない。上述した冗長回路は各行および略々全列に対し多くとも1個の追加のTFTを必要とするだけである。上述の回路は、局所的な製造上の強制、即ち選択したモードに必要とされる電流を示すTFTを製造するのに使用し得る技術の能力に応じてア

第4図は本発明による列アドレス回路の一例を示す図、

第5図は本発明による列ラインに対する冗長回路を示す図、

第6(a)および6(b)図は本発明による行アドレス回路を示す図、

第7図は本発明による行ラインに対する冗長回路を示す図、

第8図は本発明による行走査の説明図、

第9図は本発明による行アドレス回路に用いる論理回路を示す回路図、

第10(a)、10(b)、10(c)および10(d)図は第9図の論理回路で発生される信号の波形図である。

10…表示パネル 11…スイッチング素子

12…表示素子(画素) 14…行導体

15…列導体

20、21…アドレスマトリクス

40…プリプロセッサ

30…列ドライバトランジスタ

32…行ドライバトランジスタ

37,---37s ...補助列ドライバトランジスタ
40,---40s ...補助行ドライバトランジスタ
35...列コンデンサ 39...行コンデンサ

FIG.1

特許出願人 エヌ・ピー・フィリップス・
フルーイランペンファブリケン
代理人弁理士 杉 村 暁 秀
代理人弁理士 杉 村 興 作

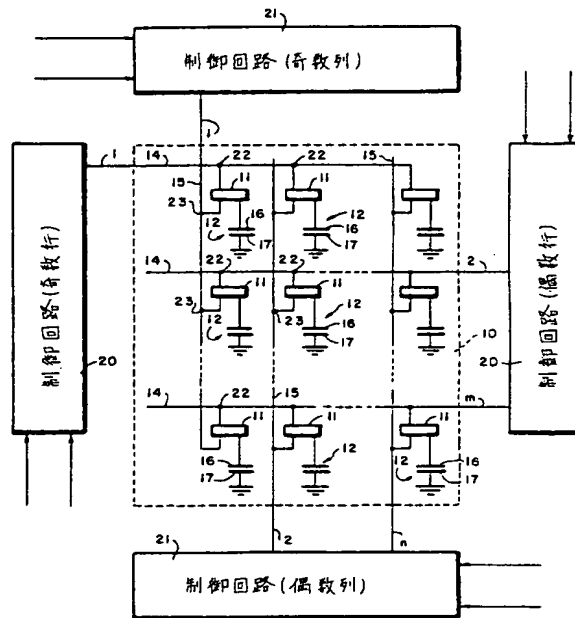
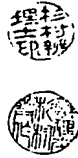


FIG.2

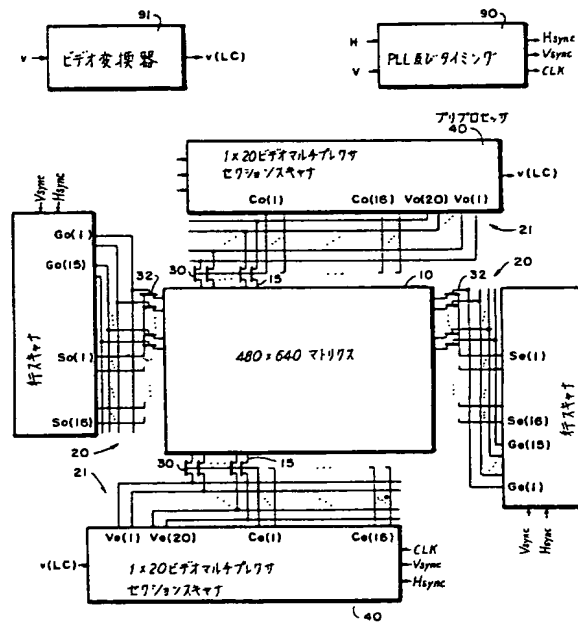


FIG.3(a)

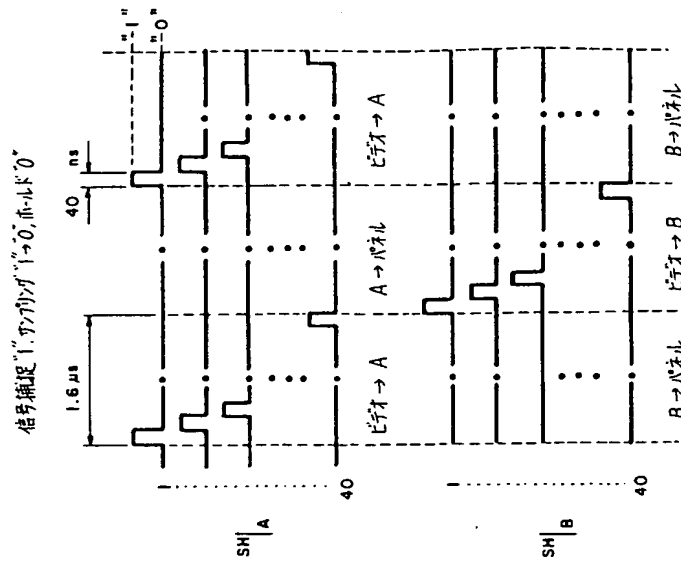
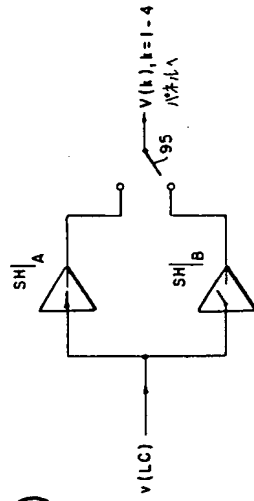


FIG.3(b)

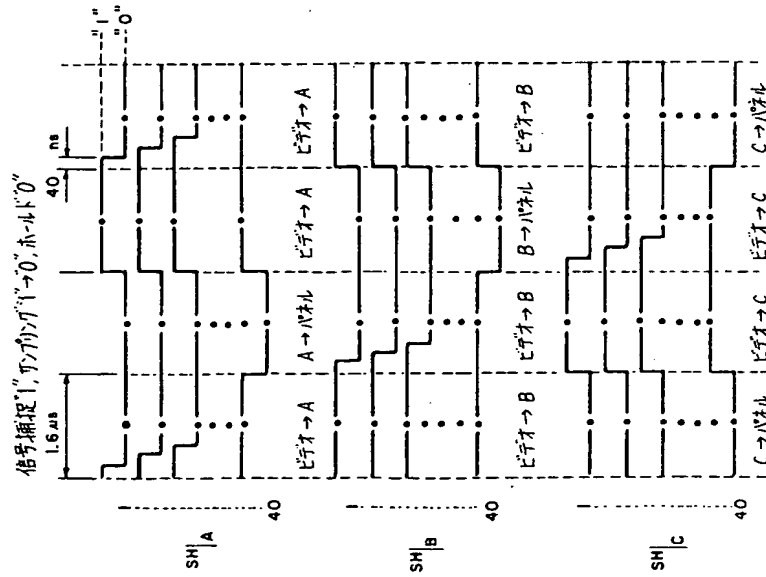
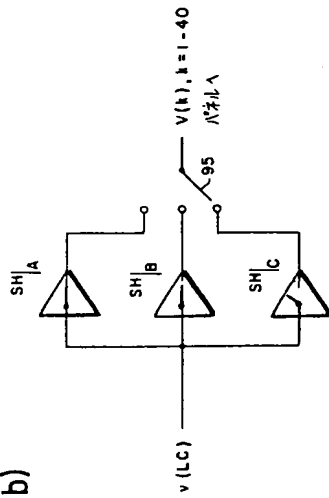


FIG. 3(c)

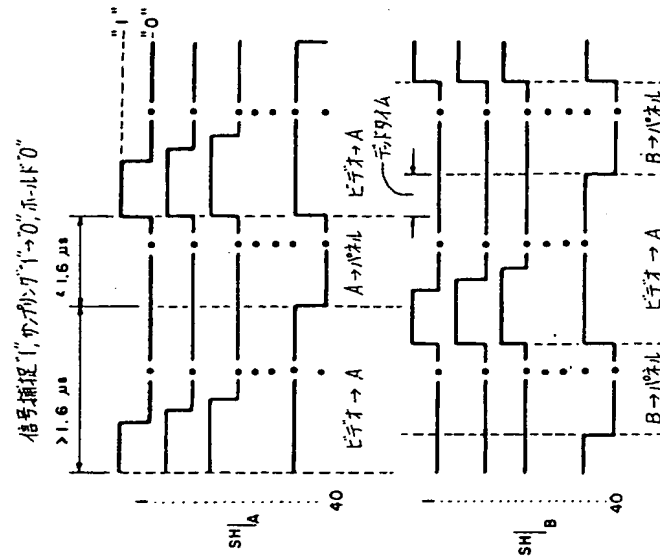
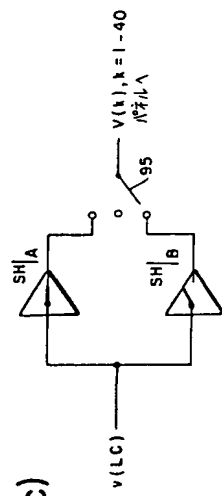
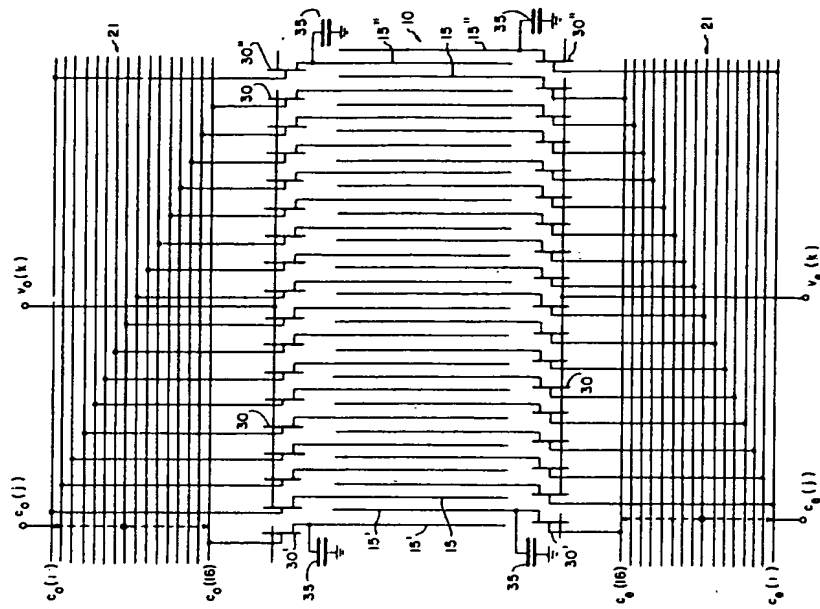


FIG. 4



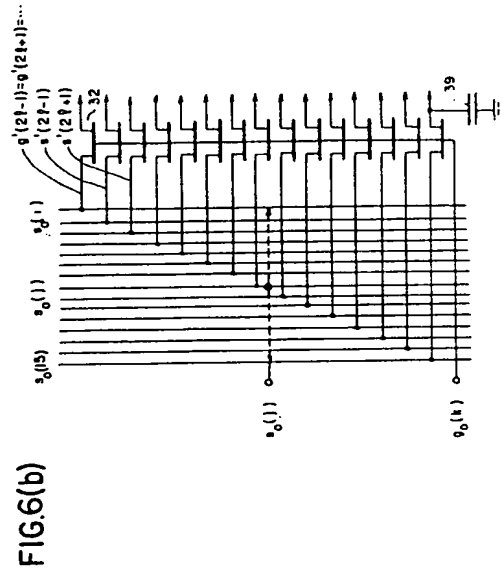
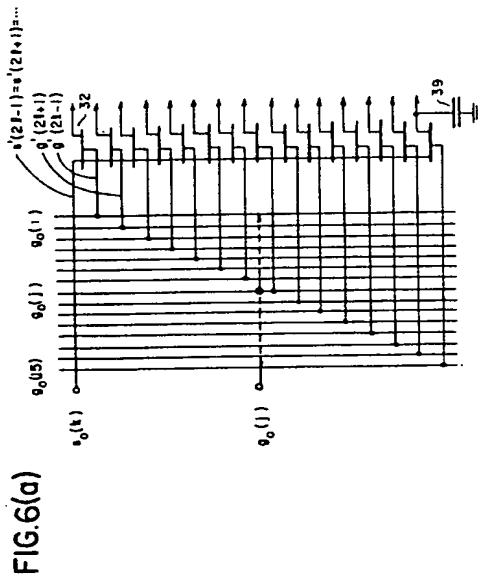
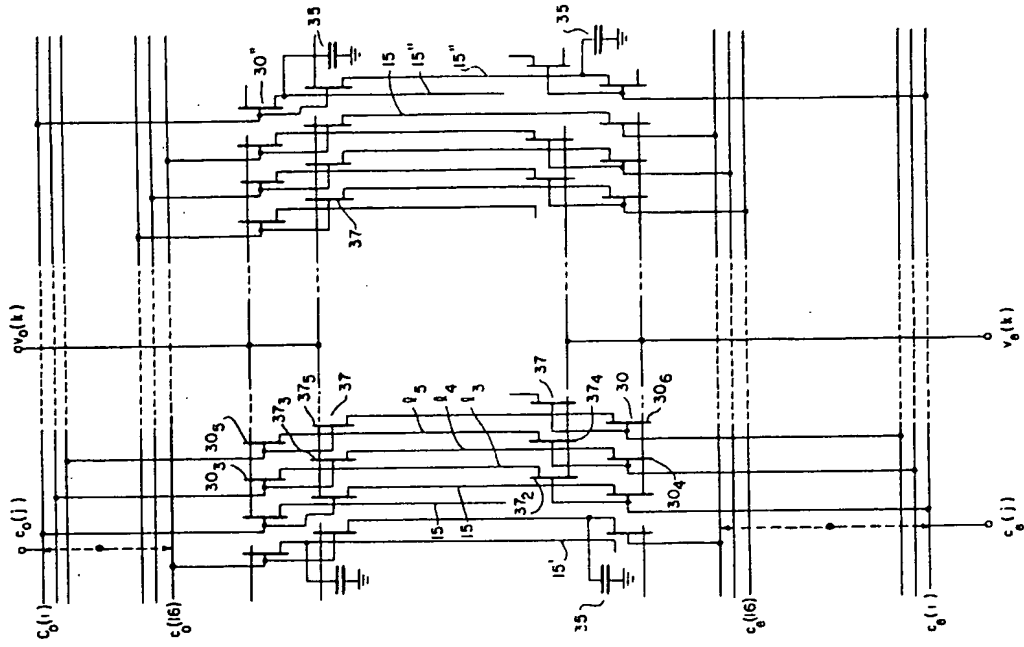


FIG.7

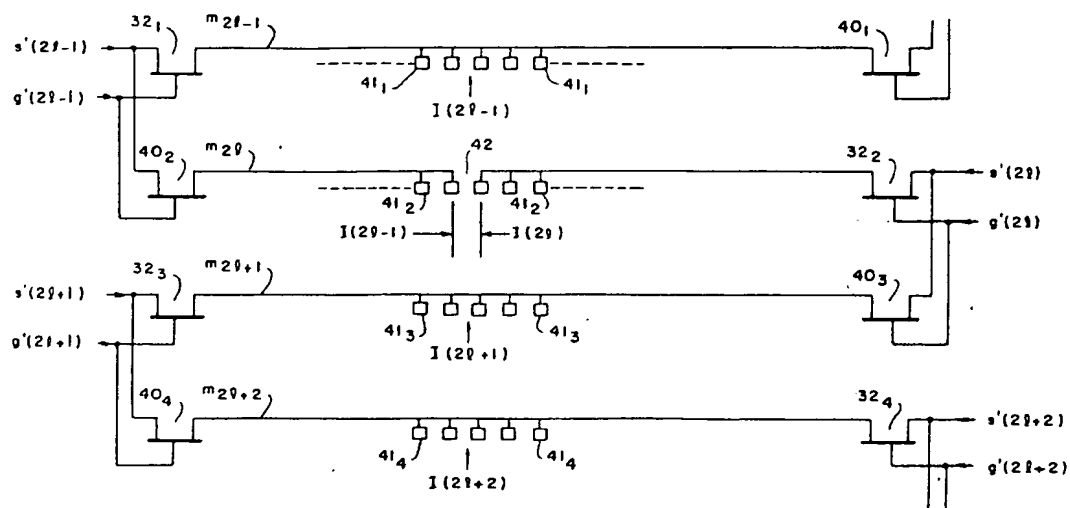


FIG.8

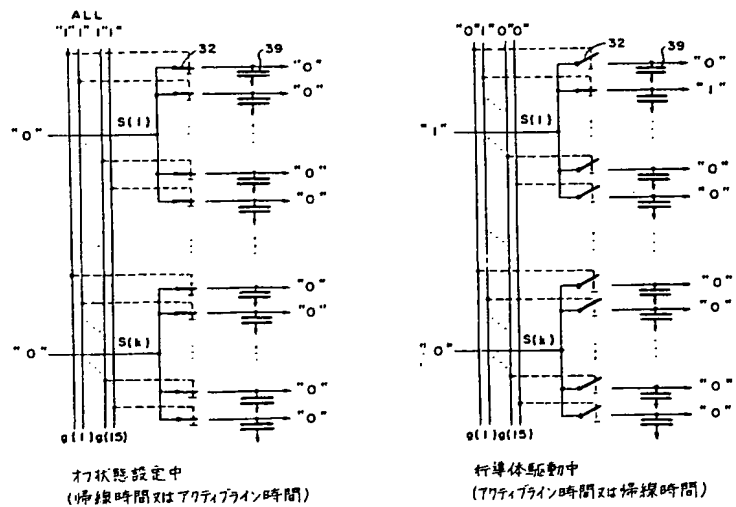


FIG.9

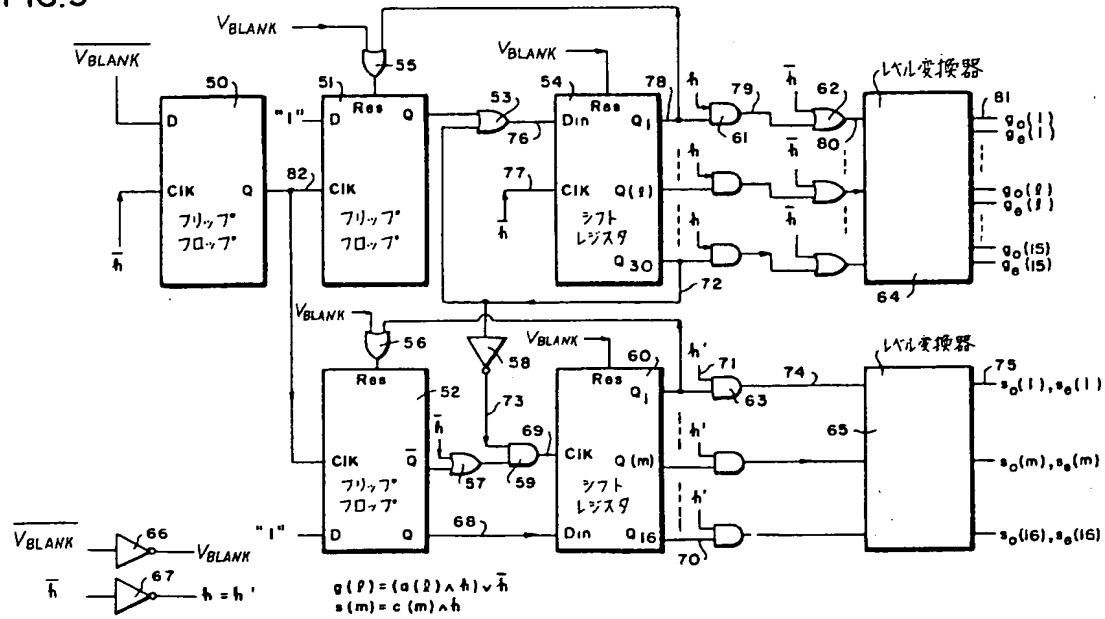


FIG.10(a)

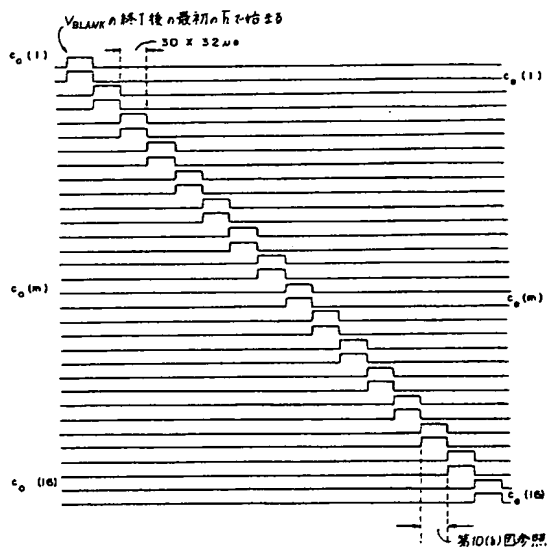


FIG.10(b)

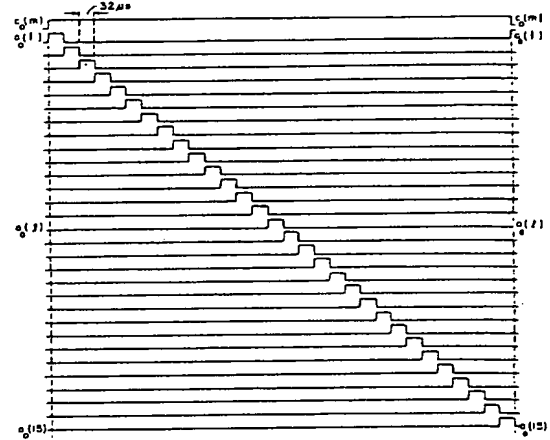


FIG.10(c)

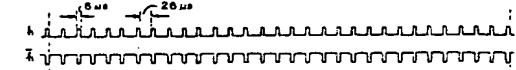


FIG.10(d)



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成8年(1996)11月22日

【公開番号】特開平1-202793

【公開日】平成1年(1989)8月15日

【年通号数】公開特許公報1-2028

【出願番号】特願昭63-326379

【国際特許分類第6版】

G09G 3/20

3/36

【F I】

G09G 3/20

4237-5H

3/36

9471-5H

手 続 補 正 書

平成 7 年 9 月 5 日

特許庁長官 清 川 佑 二 殿

1. 事件の表示

昭和63年 特許願 第326379号

2. 補正をする者

事件との関係 特許出願人

名 称 エヌ ペー フィリップス
フルーイランベンファブリケン

3. 代 理 人

住 所 〒100 東京都千代田区麹町1丁目2番4号
西山ビルディング7階 電話(3581)2241番(代表)

氏 名 (5925) 井 理 士 杉 村 映 秀

住 所 同 所
氏 名 (7205) 井 理 士 杉 村 興 作

4. 補正の対象

明細書の「特許請求の範囲」の欄

5. 補正の内容 (原紙の通り)

1. 明細書の特許請求の範囲を次の通りに訂正する。

(2. 特許請求の範囲

1. 行および列導体のアレー内に配置された複数個の表示素子を見え、各表示素子は第1に電気光学材料を介した対向電極を見え、且つ各表示素子は、一組の行導体を経て供給される選択信号に応じて、一組の列導体を経て供給されるデータ信号の表示素子への供給を制御するスイッチング手段と重畳し、更にデータ信号および選択信号をそれぞれの列および行導体に供給するアドレス回路を見え、行導体および列導体の少なくとも一方に対するアドレス回路が偶数番の各導体とそれぞれ直列に接続された主トランジスタと奇数番の各導体とそれぞれ直列に接続された主トランジスタとを含んでいる表示装置において、第n番導体の各主トランジスタに対し第n+1番導体と直列に接続された補助トランジスタが設けられ、且つ前記主トランジスタおよび補助トランジスタを同時に制御し第n番導体と第n+1番導体に同一の信号を供給する手段が設けられていることを特徴とする表示装置。

2. 前記主トランジスタおよび補助トランジスタはソース、ドレインおよびゲート電極を有し、各主トランジスタのドレインが1つの導体に接続され、各主トランジスタと隣接する各補助トランジスタのドレインが隣接する次の導体に接続され、且つ主トランジスタおよび隣接する補助トランジスタのソースを相互接続する手段および主トランジスタおよび隣接する補助トランジスタのゲートを相互接続する手段が設けられていることを特徴とする請求項1記載の表示装置。」

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.